

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of )  
                                    )  
                                    )  
SATOSHI IKEDA                 ) APPLICATION BRANCH  
                                    )  
                                    )  
Serial No. To be assigned     )  
                                    )  
                                    )  
Filed: January 24,2002         )  
                                    )  
For: SEMICONDUCTOR TESTING APPARATUS )  
                                    )  
AND METHOD                      )

J1002 U.S. PRO  
10/052736  
01/23/02

#2

CLAIM TO PRIORITY UNDER 35 USC 119

Commissioner for Patents  
Washington, D.C. 20231

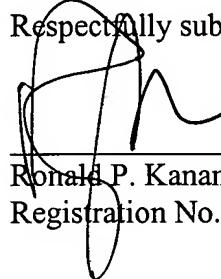
Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2001-015332 filed January 24, 2001

In support of this claim, filed herewith is a certified copy of said original foreign application.

Date: January 23, 2002

Respectfully submitted,  
  
Ronald P. Kananen  
Registration No. 24,104

**RADER, FISHMAN & GRAUER, PLLC**  
Lion Building  
1233 20<sup>th</sup> Street, N.W.  
Washington, D.C. 20036  
Tel: (202) 955-37650  
Customer No. 23353

502 P0028 U000

J1002 U.S.PTO  
10/052736  
01/23/02

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月24日

出願番号

Application Number:

特願2001-015332

出願人

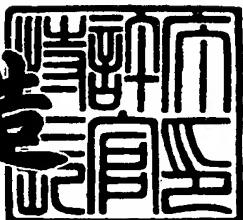
Applicant(s):

ソニー株式会社

2001年12月14日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3107903

【書類名】 特許願

【整理番号】 0000771302

【提出日】 平成13年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 池田 智是

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 肇巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体試験装置及びその半導体試験方法

【特許請求の範囲】

【請求項1】 テストパターンの入力信号を半導体デバイスに供給し、前記半導体デバイスからの出力信号を予め規定されている期待値と比較して試験を行なう半導体試験装置において、

前記テストパターンを構成するテストパターンデータを記憶するとともに前記テストパターンデータをアドレスにより管理し、前記アドレスにより指定された前記テストパターンを出力するテストパターン記憶手段と、

前記テストパターン記憶手段が出力する前記テストパターンに基づいてテストパターン信号を生成するテストパターン生成手段と、

任意のアドレスの前記テストパターンデータに基づく前記テストパターン信号が設定情報に従った所定のタイミングで発生するように前記テストパターン記憶手段及び前記テストパターン生成手段とを制御する制御手段と、

を有することを特徴とする半導体試験装置。

【請求項2】 前記設定情報は、必要に応じてその内容を変更することができ、前記制御手段は、変更後の最新の前記設定情報に基づいて前記テストパターンの発生タイミングを制御して、前記任意のアドレスのテストパターンを実行するサイクル周期を可変にすることを特徴とする請求項1記載の半導体試験装置。

【請求項3】 前記制御手段は、前記任意のアドレスのテストパターンを実行するサイクル周期のレートを予め決められた所定のレートより狭めたサイクル周期となるように前記テストパターンの発生タイミングを制御することを特徴とする請求項1記載の半導体試験装置。

【請求項4】 テストパターンの入力信号を半導体デバイスに供給し、前記半導体デバイスからの出力信号を予め規定されている期待値と比較して試験を行なう半導体試験方法において、

予め生成された前記テストパターンを構成するテストパターンデータをアドレスにより管理して記憶し、

設定情報に従った所定のタイミングで任意のアドレスの前記テストパターンを

出力し、

前記所定のタイミングで出力される前記任意のアドレスのテストパターンデータに基づいてテストパターン信号を生成する手順を有することを特徴とする半導体試験方法。

**【請求項5】** 前記半導体試験方法は、前記任意のアドレス及び前記所定のタイミングを可変に設定して前記テストパターンの入力信号を前記半導体デバイスに供給し、前記半導体デバイスにフェイルが起こったか否かを検出することにより前記半導体デバイスの内部故障解析を行なうことを特徴とする請求項4記載の半導体試験方法。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は半導体試験装置及びその半導体試験方法に関し、特にテストパターンの入力信号を半導体デバイスに供給し、前記半導体デバイスからの出力信号を予め規定されている期待値と比較して試験を行なう半導体試験装置及びその半導体試験方法に関する。

**【0002】**

**【従来の技術】**

大規模集積回路(LSI)等の半導体デバイスの機能や性能の測定は、ICテスター等の半導体試験装置によって行なう。

**【0003】**

ICテスターによって半導体デバイスのファンクション動作を測定する場合の試験手順について説明する。図6は、ICテスターにおける試験手順の概念図である。まず、ワークステーション等のコンピュータ端末300を用いて、コンピュータ端末300上で使用するICテスターの言語記述に従った形でタイミング、信号記述等の記述を行なって、任意のテストパターン400を生成する。生成されたテストパターン400は、ICテスター200に供給する。ICテスター200は、そのテストパターン400に基づく入力信号を被試験対象の半導体デバイスに供給し、得られた出力信号等を観察して測定を行なっていた。

## 【0004】

図7は、従来のICテスターにおけるテストパターンのタイミングチャートである。テストパターンのパターン全体は、おおよそ、入力ピンからのデータ入力部分（あるいはWrite部分）と、出力ピンからのデータ出力部分（あるいはRead部分）と、から構成される。これは、半導体デバイスがメモリ製品であっても論理製品であっても基本的には変わらない。従来のICテスターでは、パターンアドレス全体を通して動作周波数は、一定に固定される。すなわち、任意のパターンアドレスの1サイクルを実行するサイクル周期のレートは、パターンアドレス全体を通して一定である。図7では、パターンアドレス全体の中の任意のサイクル部分（N番目から（N+4）番目までを取り出している。動作周波数を決定する各サイクル周期のレート（RATE1）は一定であり、レートが最小で正常に入出力を行なっている状態の周波数が、被試験対象の半導体デバイスにおける最高動作周波数になる。

## 【0005】

## 【発明が解決しようとする課題】

しかし、従来の半導体試験装置では、動作周波数がテストパターン全体を通して一定であるため、特定アドレスのタイミングに注目した半導体デバイスの試験ができないという問題がある。

## 【0006】

半導体デバイスの最高動作周波数を決めるのは、半導体デバイス回路上の特定パスの特定動作状態であり、半導体試験装置上で用いるテストパターンの特定アドレス部分である。半導体デバイスの試験において、例えば、パターン全体の動作周波数を最高動作周波数にした状態で最高動作周波数を決めている特定アドレスのサイクル周期を広げて測定したい場合が生じることがある。あるいは、逆に、パターン全体の動作周波数を最高動作周波数と設定せず緩めておき、特定アドレスのサイクル周期を順次狭めていくことにより、その特定アドレス部分の最高動作周波数を確認したい場合もある。しかしながら、従来の半導体装置の動作周波数はテストパターン全体を通して一定となっており、このように部分的にサイクル周期を変えたテストパターンを作成するのは、パターン生成時においても、

あるいは半導体試験装置上のテストパターンの変更においても容易ではなかった。

【0007】

本発明はこのような点に鑑みてなされたものであり、特定アドレスのテストパターンのサイクル周期を可変にすることのできる半導体試験装置及びその試験方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明では上記課題を解決するために、テストパターンの入力信号を半導体デバイスに供給し、前記半導体デバイスからの出力信号を予め規定されている期待値と比較して試験を行なう半導体試験装置において、前記テストパターンを構成するテストパターンデータを記憶するとともに前記テストパターンデータをアドレスにより管理し、前記アドレスにより指定された前記テストパターンを出力するテストパターン記憶手段と、前記テストパターン記憶手段が出力する前記テストパターンに基づいてテストパターン信号を生成するテストパターン生成手段と、任意のアドレスの前記テストパターンデータに基づく前記テストパターン信号が設定情報に従った所定のタイミングで発生するように前記テストパターン記憶手段及び前記テストパターン生成手段とを制御する制御手段と、を有することを特徴とする半導体試験装置、が提供される。

【0009】

このような構成の半導体試験装置では、テストパターン記憶手段に予め生成されたテストパターンデータが記憶されている。テストパターン記憶手段は、テストパターンデータをアドレスにより管理しており、制御手段の制御に従って指定されたアドレスのテストパターンデータに応じたテストパターンを出力する。テストパターン生成手段は、制御手段の制御に従って、テストパターン記憶手段が出力するテストパターンに基づき、テストパターン信号を生成し、被試験対象の半導体デバイスに供給する。制御手段は、テストパターン記憶手段及びテストパターン生成手段とを制御し、任意のアドレスのテストパターンデータに基づくテストパターン信号の発生するタイミングが、予め決められた設定情報に従ったタ

イミングとなるようにする。これにより、設定情報に従って任意のアドレスのテストパターンが発生するタイミングを制御し、所望のテスト周期を発生させる。

#### 【0010】

また、上記課題を解決するために、テストパターンの入力信号を半導体デバイスに供給し、前記半導体デバイスからの出力信号を予め規定されている期待値と比較して試験を行なう半導体試験方法において、予め生成された前記テストパターンを構成するテストパターンデータをアドレスにより管理して記憶し、設定情報に従った所定のタイミングで任意のアドレスの前記テストパターンを出力し、前記所定のタイミングで出力される前記任意のアドレスのテストパターンデータに基づいてテストパターン信号を生成する手順を有することを特徴とする半導体試験方法、が提供される。

#### 【0011】

このような手順の半導体試験方法は、予め生成されたテストパターンを構成するテストパターンデータを記憶し、アドレスにより管理しておく。試験時には、設定情報に従った所定のタイミングで、記憶された任意のアドレスのテストパターンデータに応じたテストパターンを出力し、このテストパターンに基づくテストパターン信号を生成する。これにより、設定情報に従って任意のアドレスのテストパターンが発生するタイミングを制御し、所望のテスト周期を発生させる。

#### 【0012】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の一実施の形態である半導体試験装置の構成図である。

#### 【0013】

本発明に係る半導体試験装置100は、装置全体を制御するとともにテストパターンの発生タイミングを制御する制御手段110、テストパターン信号を生成するテストパターン生成手段120、テストパターンを記憶するテストパターン記憶手段130、及び被試験対象の半導体デバイス500の出力信号を判定する判定手段140、とから構成され、被試験対象の半導体デバイス500の試験を行なう。ここで、半導体デバイス500の試験を行なうためのテストパターンは

、予めワークステーション等のコンピュータ端末を用いて生成され、試験の開始に先だって、テストパターン記憶手段130に記憶されているとする。テストパターンは、アドレスにより管理されるテストパターンデータから構成されており、任意のパターンアドレスの1サイクルを実行するサイクル周期のレートは、予め決められている。通常、サイクル周期のレートは、一定値に設定されている。

#### 【0014】

制御手段110は、装置全体を制御するとともに、テストパターンを動作させる動作基準信号を形成し、テストパターン信号を生成するタイミング信号を発生するとともに、サイクル周期毎にテストパターン記憶手段130のアドレス指定信号を発生する。制御手段110は、タイミング信号及びアドレス指定信号を発生させるタイミングを設定情報に従って制御することにより、任意のアドレスのテストパターンのサイクル周期を可変にする。設定情報は、いずれかの方法により、試験開始前あるいは、試験の最中に半導体試験装置100に転送される。制御手段110は、試験実行時、常に最新の設定情報を参照してタイミング信号及びアドレス指定信号を発生させるタイミングを制御する。

#### 【0015】

テストパターン生成手段120は、制御手段110が出力するタイミング信号の一部と、テストパターン記憶手段130が出力するテストパターンの一部と、を各サイクル周期毎に合成し、テストパターン信号を生成する。生成されたテストパターン信号は、入力信号として、被試験対象の半導体デバイス500に供給する。

#### 【0016】

テストパターン記憶手段130は、アドレスにより管理されるテストパターンデータを予め記憶するとともに、制御手段110から入力されるアドレス指定信号により、サイクル周期毎に必要なテストパターンをテストパターン生成手段120及び判定手段140に出力する。

#### 【0017】

判定手段140は、実質的にHigh判定回路とLow判定回路を含み、被試験対象の半導体デバイス500の出力信号を入力し、Highレベル判定とLow

w レベル判定の個々の信号に対し、テストパターン記憶手段130の出力するテストパターンの一部と制御手段110の出力する判定用タイミング信号を用いて判定を行ない、判定結果を外部に出力する。判定は、半導体デバイス500からの出力信号が予め規定されている期待値と一致するか否かを比較することにより行なう。

## 【0018】

このような構成の半導体試験装置100の動作及び試験方法について説明する。半導体試験装置100のテストパターン記憶手段130には、予めワークステーション等により生成された半導体デバイス500に適した試験を行なうためのテストパターンデータが記憶されている。このテストパターンデータは、アドレスにより管理されている。また、各アドレスのテストパターンを実行するサイクル周期を制御するための設定情報も、試験開始に先だって設定されている。

## 【0019】

試験が開始されると、制御手段110は、テストパターンを動作させる動作基準信号を形成し、設定情報に従ってテストパターン信号を生成するタイミング信号を発生するとともに、サイクル周期毎にテストパターン記憶手段130のアドレス指定信号を発生する。テストパターン記憶手段130は、制御手段110から入力されるアドレス指定信号により、サイクル周期毎に必要なテストパターンをテストパターン生成手段120及び判定手段140に出力する。テストパターン生成手段120は、制御手段110が出力するタイミング信号の一部と、テストパターン記憶手段130が出力するテストパターンの一部と、を各サイクル周期毎に合成し、テストパターン信号を生成する。生成されたテストパターン信号は、入力信号として、被試験対象の半導体デバイス500に供給される。判定手段140は、被試験対象の半導体デバイス500の出力信号を入力し、テストパターン記憶手段130の出力するテストパターンの一部と制御手段110の出力する判定用タイミング信号を用いて判定を行ない、判定結果を外部に出力する。

## 【0020】

このように、制御手段110が、設定情報に従って、タイミング信号とアドレス指定信号の発生タイミングを制御することにより、任意のアドレスのテストパ

ターンのサイクル周期を自由に設定することが可能となる。

#### 【0021】

上記の説明の半導体試験装置を用いた半導体デバイスの試験について、具体例で説明する。

まず、任意の注目アドレスのテストパターンについてサイクル周期のレートを狭めることにより、この注目アドレスの評価を行なう第1の試験について説明する。図2は、本発明の一実施の形態である半導体試験装置における第1の試験のタイミングチャートである。ここでは、任意のアドレス区間である、(N)番目から(N+4)番目までアドレスのテストパターンのうち、(N+3)番目を特定アドレスとして、そのサイクル周期のレートを狭める場合のタイミングチャートを示している。テストパターン全体のサイクル周期のレートは、最高動作周波数よりも緩めの値(RATE1とする)に設定しておき、設定情報により、特定アドレスである(N+3)番目のサイクルのレートのみを狭めた値(RATE2とする)にする。これにより、今注目している特定アドレス(N+3)番目の各信号のタイミングのみがデバイスの動作を律束している状態となる。このようにして、他のアドレスのタイミングに影響を受けずに、注目アドレスのタイミング的な実力、及びマージンを評価することができるようになる。また、設定情報を変更することにより、この特定アドレスのサイクル周波数のレートを順次狭めていくことにより、その部分の最高動作周波数を確認することができる。

#### 【0022】

ここで動作は、目的に応じて最初から任意のアドレスを決めて試験させる、あるいは、テストパターンの一部分に限ってサイクル周期のレートを狭めて試験する等、サイクル周期を狭めるアドレス、及び、そのタイミングの設定に制限はない。また、応用として、特定アドレスのみならず、複数のアドレスのサイクル周期のレートを狭めて試験することも容易に考えられる。さらに、サイクル周期のレートは、狭めるばかりでなく、必要に応じて広げることもできる。

#### 【0023】

次に、特定アドレスのみのレートを狭める動作を先頭パターンアドレスから順番に、テストパターン全体に順次行なっていく第2の試験について説明する。図

3は、本発明の一実施の形態である半導体試験装置における第2の試験のタイミングチャートである。任意のパターンアドレス区間である、パターンアドレス（N）番目から（N+4）番目までの区間において、サイクル周期のレートを順次狭めて試験を行なう際のタイミングチャートである。（1）では、パターンアドレス（N）番目のレートのみを狭めた値（RATE2）にし、他を最高動作周波数よりも緩めの値（RATE1）として、試験を行なう。続いて、（2）では、パターンアドレス（N+1）番目のレートのみをRATE2にし、（3）では、パターンアドレス（N+2）番目のレートのみをRATE2として、試験を行なう。このようにサイクル周期のレートを順次狭めて試験を行なうことにより、最高動作周波数を決めている特定アドレスを確認することができる。

#### 【0024】

さらに、本発明によれば、上記説明のようにして、半導体デバイスの最高動作周波数を律束している特定アドレスが見つけられた場合、ここのみのレートを広げて動作確認を行なうことも容易にできる。例えば、特定アドレス（N+3）番目が半導体デバイスの最高動作周波数を律束している場合、この特定アドレス（N+3）番目のみ、サイクル周波数のレートを広げて、十分マージンのある状態にしておく。このようにして、他のアドレスのサイクル周波数のレート（RATE1）を変更して試験を行なうことにより、半導体デバイスの最高動作周波数を律束していたアドレスのみを緩めた状態での試験が可能となり、検証をとることができます。

#### 【0025】

上記の説明では特定アドレスのサイクル周期のレートと、他のアドレスのサイクル周期のレートとの2つのレートを混在させるとしたが、必要に応じて、定常状態のレート、広げたレート、及び狭めたレートを混在させる等、複数のレートを設定することもできる。

#### 【0026】

次に、テストパターンと半導体デバイスの内部回路との対応について説明する。図4は、テストパターンと半導体デバイスの内部回路との対応概念図である。半導体試験装置においては、入出力端子の信号情報しか得ることができず、半導

体デバイス内部はいわばブラックボックスである。このため、半導体デバイスの故障解析等、内部のどの回路部分で不具合が生じているのか、あるいは、どのパスで設計タイミングマージンが十分でなかったか等の情報をそのまま引き出すことは難しい。図4の例では、出力ピンの信号で、期待値と異なりフェイルと判定されるのは、パターンアドレス（N+2）番目の部分であるが、実際に半導体デバイス内部回路でタイミングマージンが十分でなく、誤データを取り込んだ部分は、パターンアドレス（N）番目の部分である。本発明では、任意のパターンアドレスのサイクル周期のレートを可変に設定することができるため、怪しいアドレス及びその前後のアドレスのテストパターンについてのサイクル周期のレートを可変に設定して試験を行ない、その結果を解析することにより、出力ピンでのフェイルアドレスと実際のフェイル原因アドレスとの両方の情報を得ることができる。

#### 【0027】

実際のフェイル原因アドレスが判り、内部のどの回路部分が問題であるのかを追いかけようとした場合、その追跡手法の1つとして、故障個所絞込みテストパターンを新たに何種類か用意する方法が考えられる。従来は、このようにして解析が行なわれてきた。故障個所絞り込み用の新たなテストパターンの作成は、大規模な回路であればあるほど、その作業は容易ではないと考えられる。

#### 【0028】

しかしながら、本発明によれば、故障個所の絞込みを容易に行なうことができる。図5は、本発明に係る半導体試験方法を用いた故障解析手法の実施例である。図に示したように、半導体デバイス回路内に予めSCAN化したバスを用意し、任意のアドレスのテストパターンのサイクル周期を適宜設定して、フェイル原因アドレスを絞り込む。そのフェイル原因アドレスと同じ状態、つまりフリップフロップ状態は一義的に決まるので、SCAN INの方からDATAを送り込み、フェイル原因アドレスを再現させる。フェイル情報をSCAN OUTから読み出せば、どのフリップフロップでフェイルの原因となっているかが判る。さらに、これを応用すれば、特定されたフリップフロップへの入力側のバスが複数のバスに分岐していた場合でも、特定バスの絞込みは容易である。

## 【0029】

このように、本発明によれば、解析するために半導体デバイスの加工を必要とするE B テスター等の機器を駆使するよりも、速く、また非破壊で、故障個所を特定することができる。

## 【0030】

## 【発明の効果】

以上説明したように本発明の半導体試験装置では、予め決められた設定情報に従ったタイミングでテストパターンが被試験対象の半導体デバイスに供給されるように、設定情報に応じたタイミングで指定されたアドレスのテストパターンを出力し、これに基づくテストパターン信号を生成する。これにより、設定情報に従って任意のアドレスのテストパターンが発生するタイミングを制御し、所望のテスト周期を発生させる。

## 【0031】

このように、任意のアドレスのテストパターンが発生するタイミングを制御することにより、特定アドレスのテストパターンのサイクル周期を可変に設定することが可能となる。これにより、特定アドレスのタイミングに注目した半導体デバイスの評価、解析等が可能となる。さらに、動作周波数を律束している特定アドレスのタイミングを評価、解析することにより、内部タイミング動作の解析のために有効な情報を得ることができ、半導体デバイスの最高動作周波数改善にも寄与すると期待される。

## 【0032】

また、本発明の半導体試験方法では、試験時に、設定情報に従った所定のタイミングで、予め記憶されている任意のアドレスのテストパターンデータに応じたテストパターンを出力し、これに基づくテストパターン信号を生成する。これにより、設定情報に従って任意のアドレスのテストパターンが発生するタイミングを制御し、所望のテスト周期を発生させる。

## 【0033】

このように、任意のアドレスのテストパターンが発生するタイミングを制御して、特定アドレスのテストパターンのサイクル周期を所望の周期にすることが可

能となる。これにより、特定アドレスのタイミングに注目した半導体デバイスの評価、解析等が可能となる。さらに、動作周波数を律束している特定アドレスのタイミングを評価、解析することにより、内部タイミング動作の解析のために有効な情報を得ることができ、半導体デバイスの最高動作周波数改善にも寄与する期待される。

**【図面の簡単な説明】**

**【図 1】**

本発明の一実施の形態である半導体試験装置の構成図である。

**【図 2】**

本発明の一実施の形態である半導体試験装置における第1の試験のタイミングチャートである。

**【図 3】**

本発明の一実施の形態である半導体試験装置における第2の試験のタイミングチャートである。

**【図 4】**

テストパターンと半導体デバイスの内部回路との対応概念図である。

**【図 5】**

本発明に係る半導体試験方法を用いた故障解析手法の実施例である。

**【図 6】**

ICテスターにおける試験手順の概念図である。

**【図 7】**

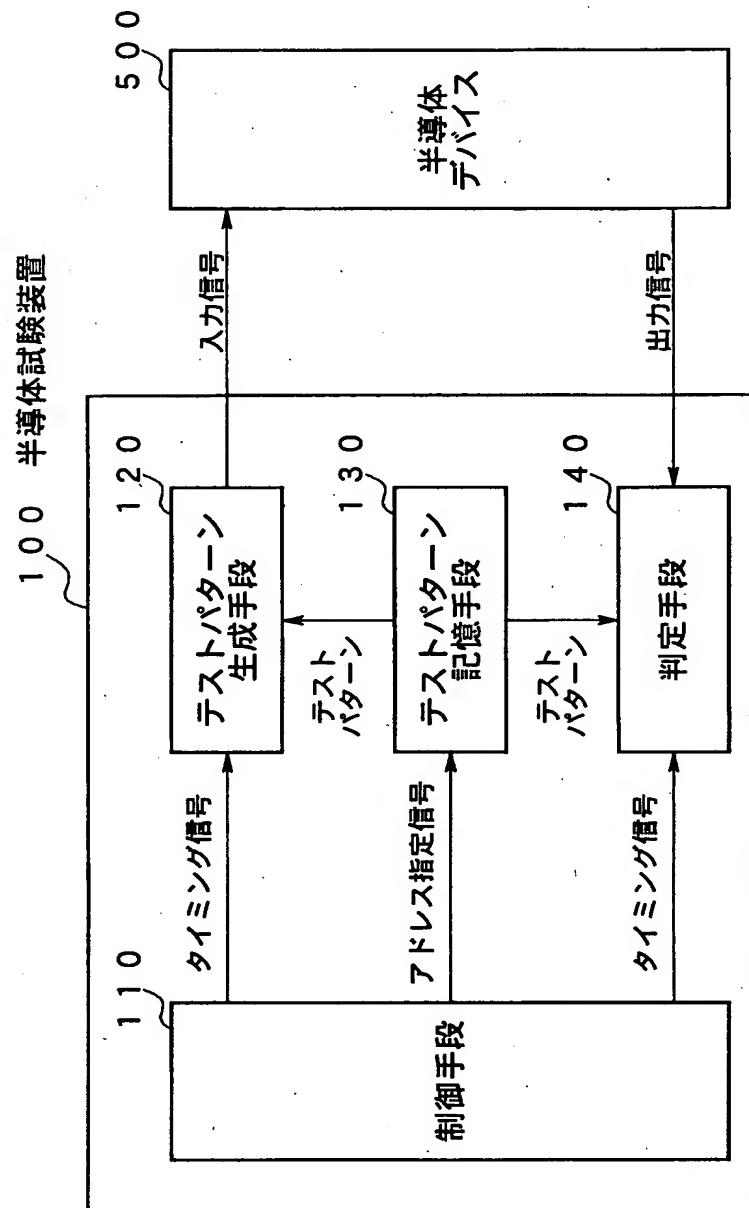
従来のICテスターにおけるテストパターンのタイミングチャートである。

**【符号の説明】**

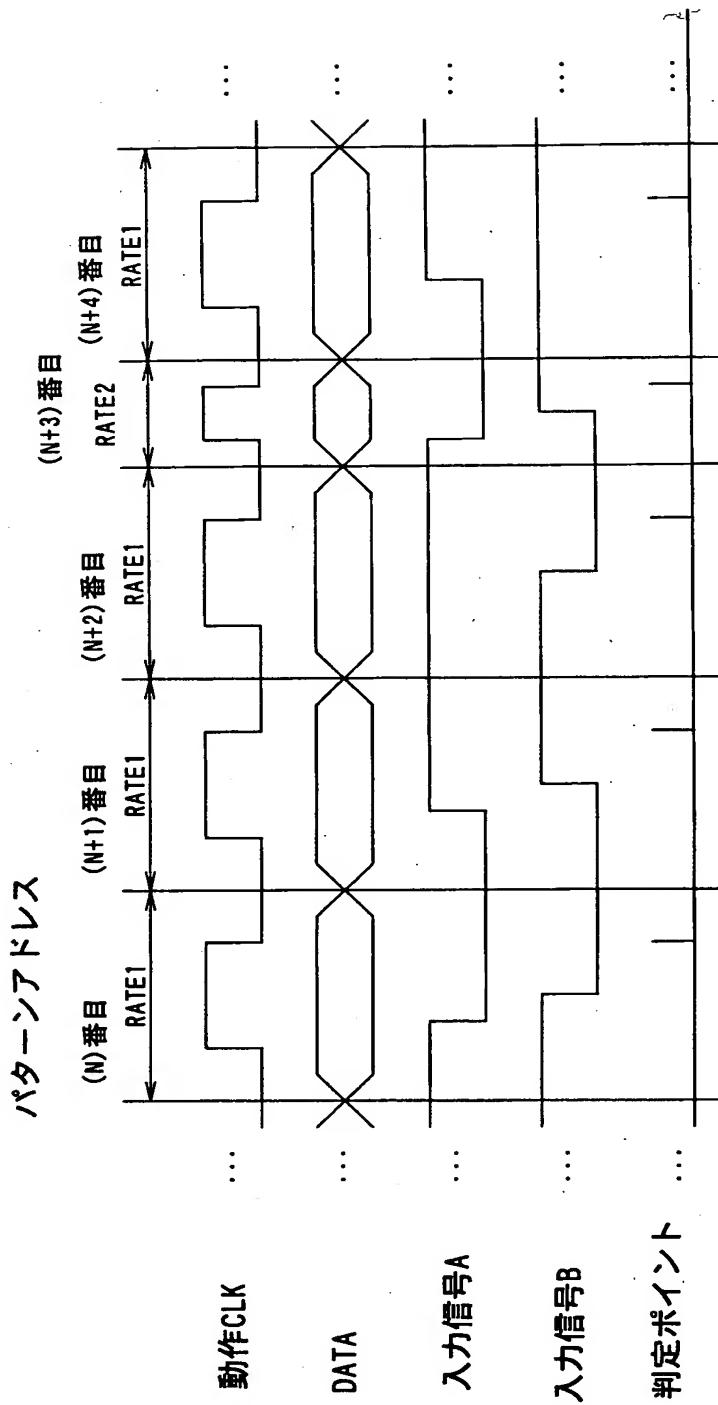
100…半導体試験装置、110…制御手段、120…テストパターン生成手段、130…テストパターン記憶手段、140…判定手段、500…半導体デバイス

【書類名】図面

【図1】

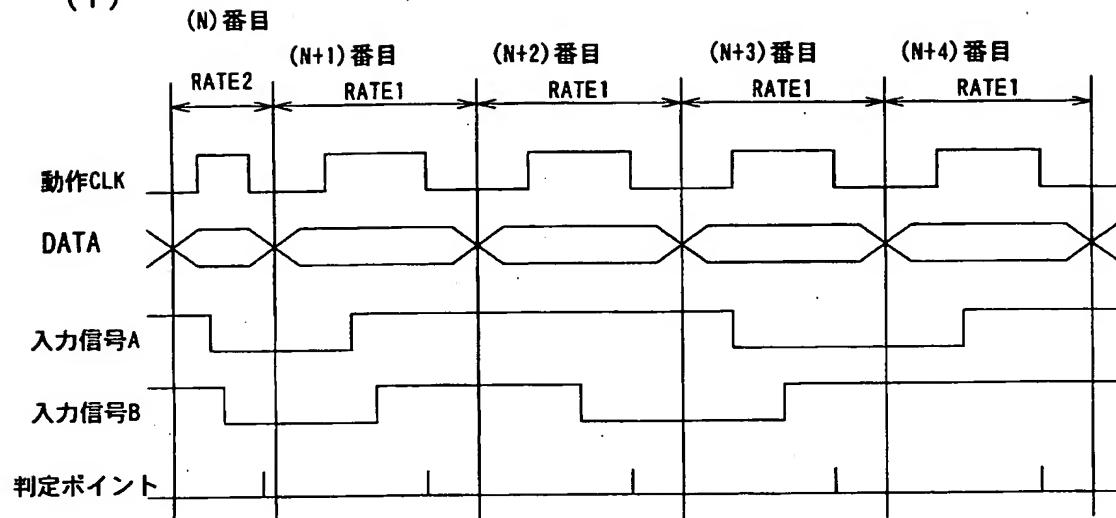


【図2】

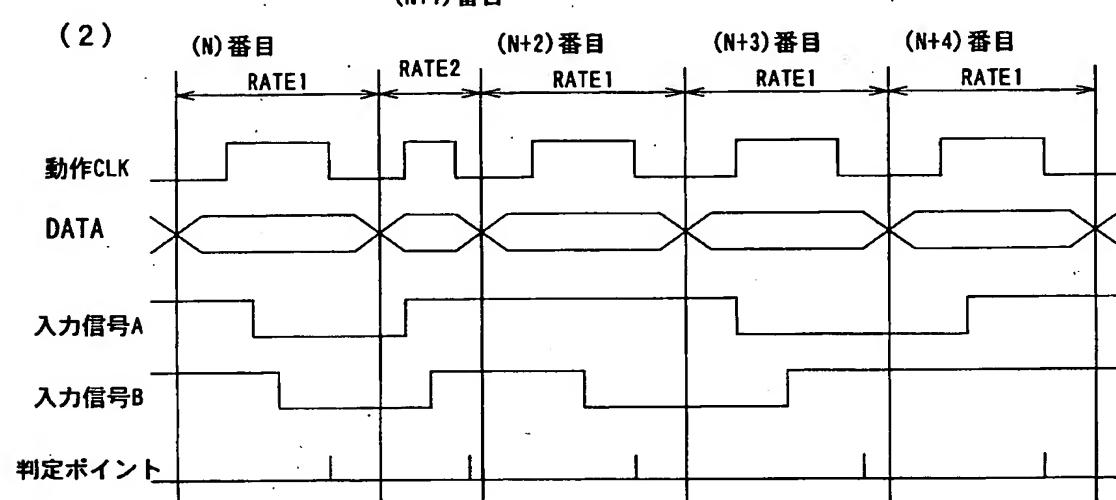


【図3】

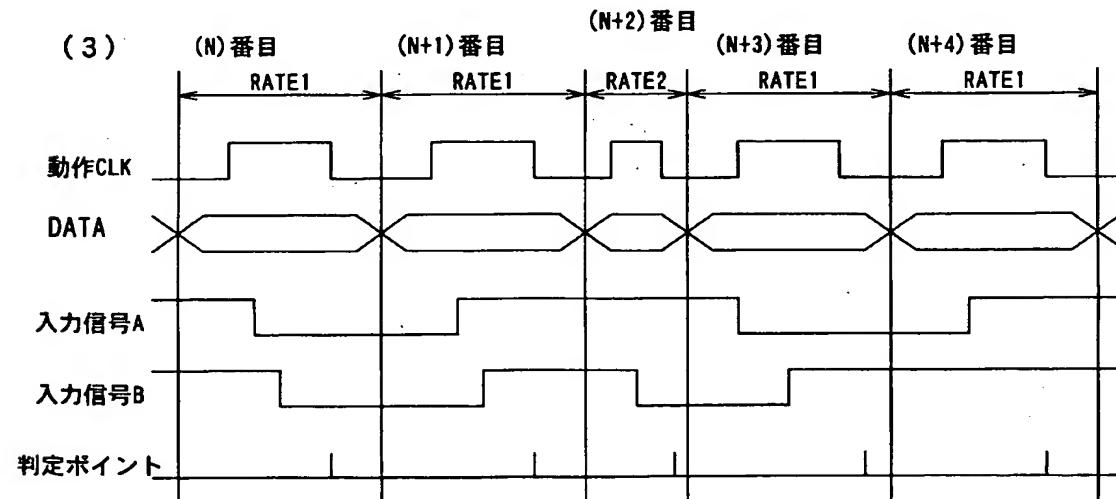
(1)



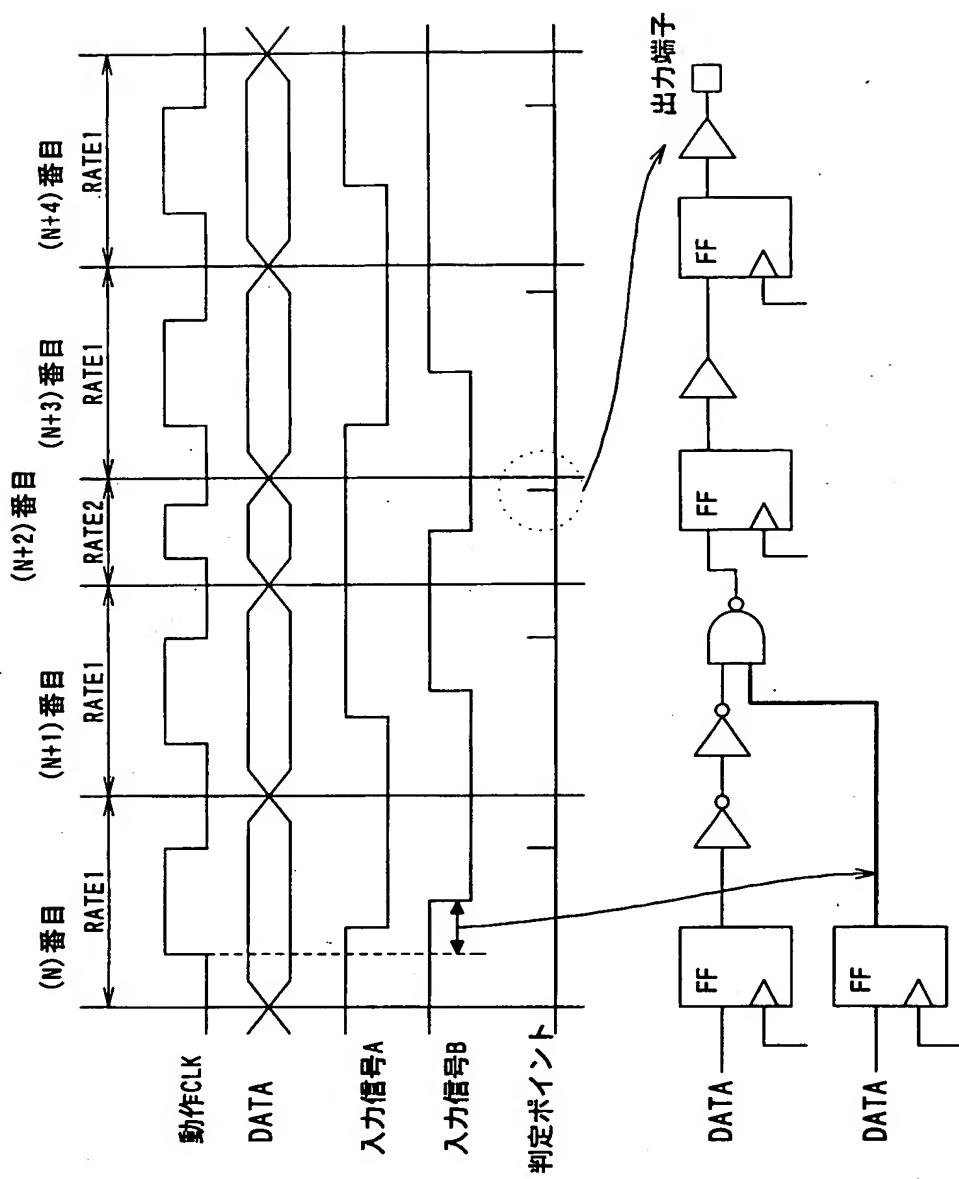
(2)



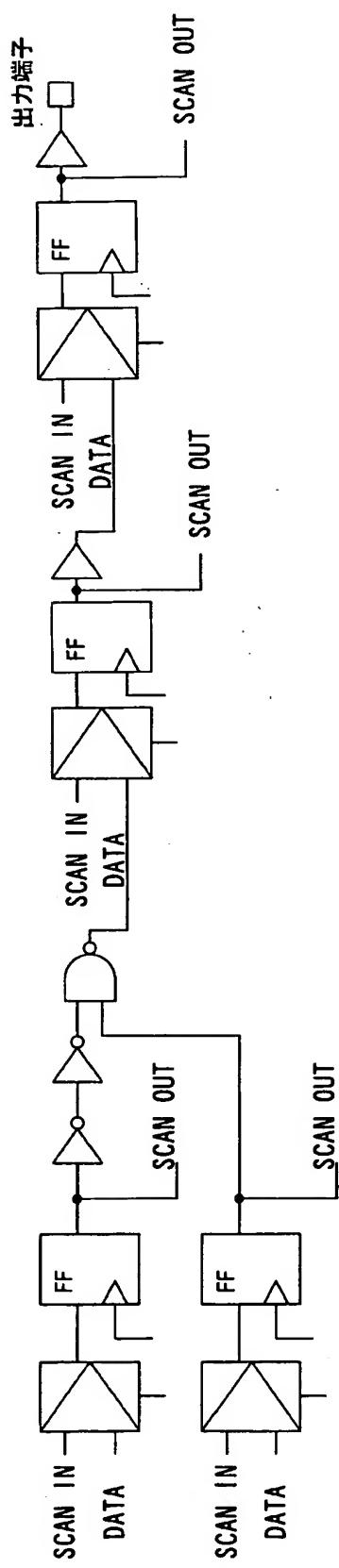
(3)



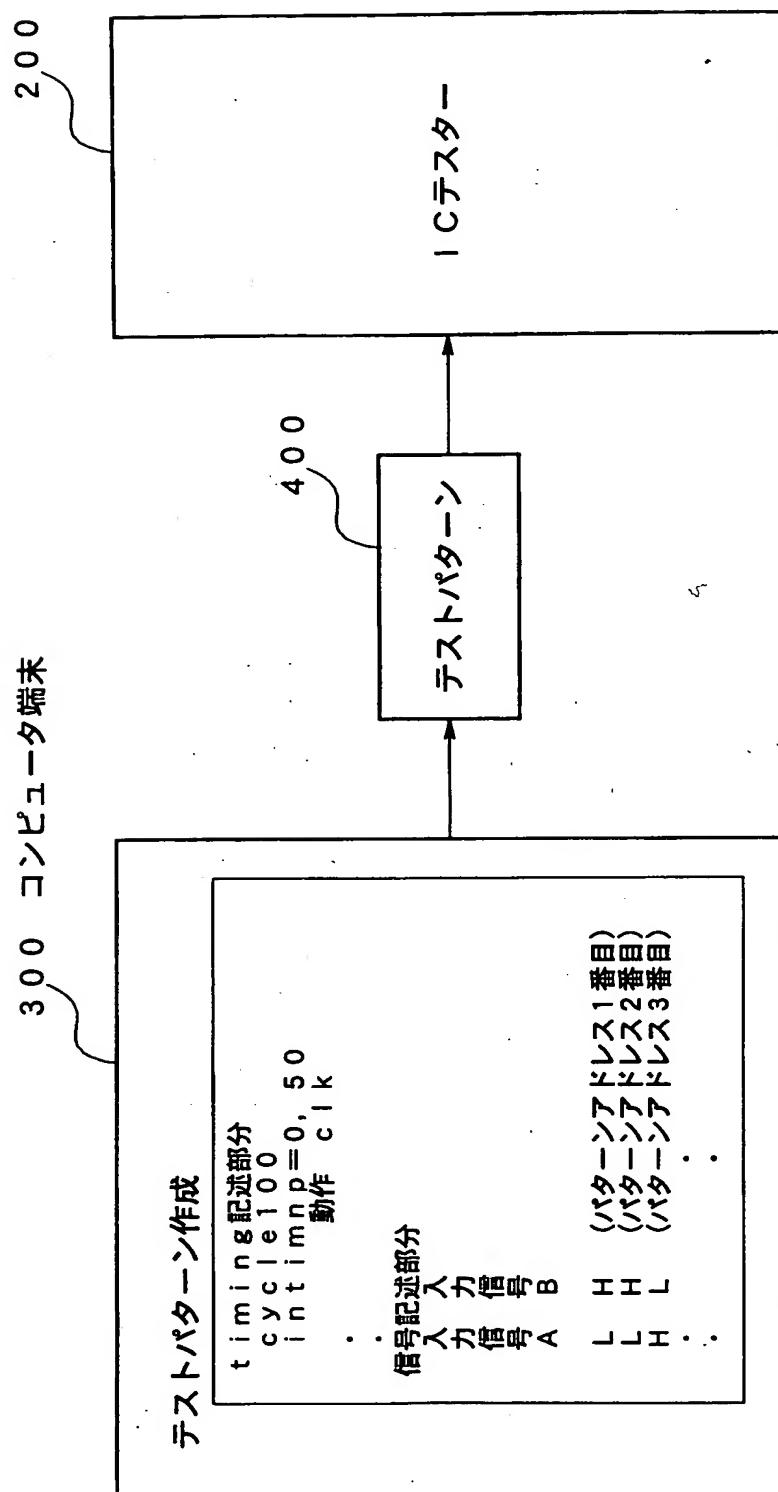
【図4】



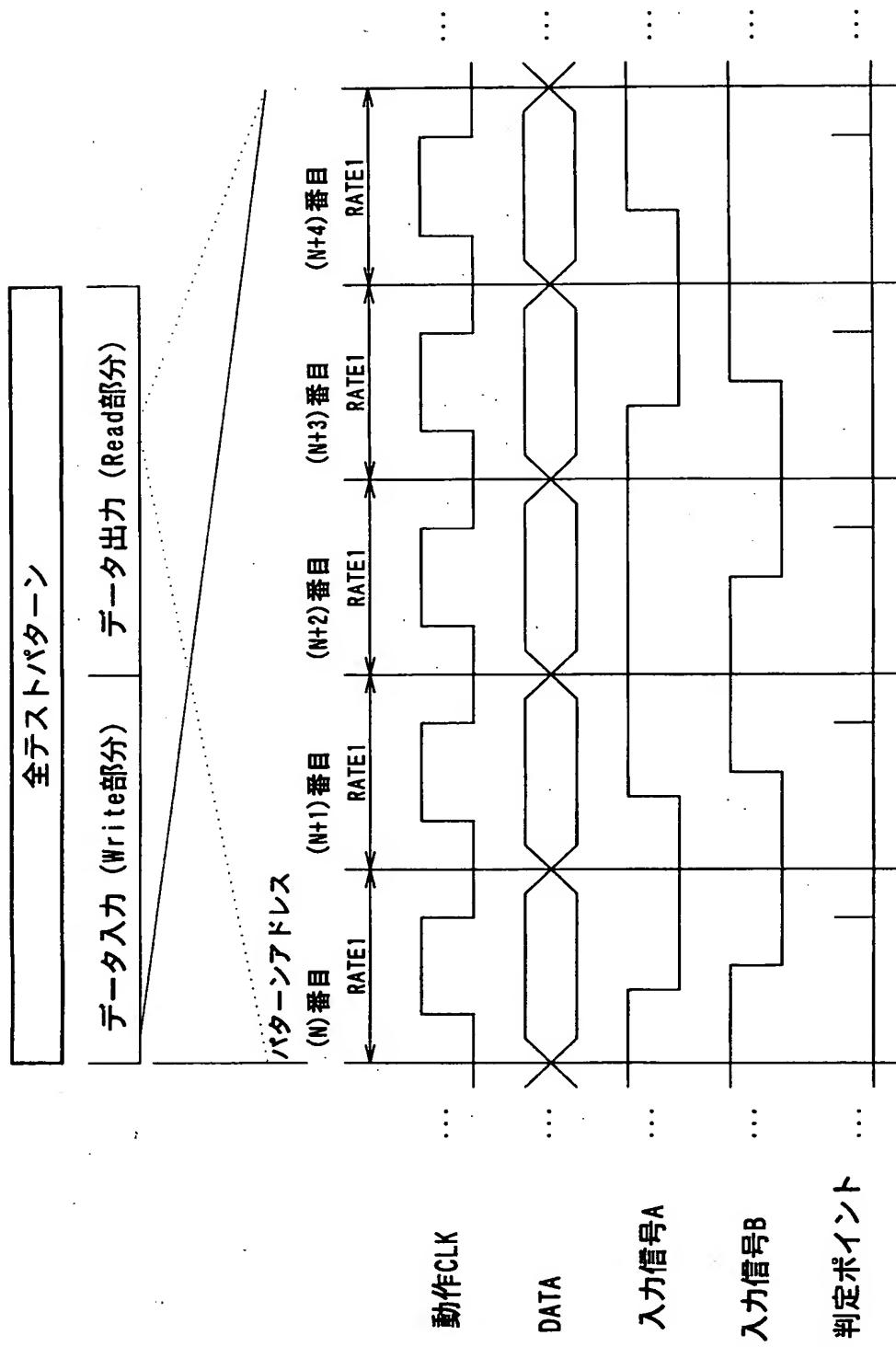
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 特定アドレスのテストパターンのサイクル周期を可変にする。

【解決手段】 半導体試験装置100のテストパターン記憶手段130には、予めテストパターンデータが記憶されている。試験が開始されると、制御手段110は、設定情報に従ってテストパターン信号を生成するタイミング信号を発生するとともに、サイクル周期毎にテストパターン記憶手段130のアドレス指定信号を発生する。テストパターン記憶手段130は、アドレス指定信号により、サイクル周期毎に必要なテストパターンを出力する。テストパターン生成手段120は、タイミング信号の一部と、テストパターンの一部とを各サイクル周期毎に合成し、テストパターン信号を生成する。生成されたテストパターン信号は、被試験対象の半導体デバイス500に供給される。判定手段140は、被試験対象の半導体デバイス500の出力信号を入力し、テストパターンの一部と判定用タイミング信号を用いて判定を行ない、判定結果を外部に出力する。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社